

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :

2 784 794

(à n'utiliser que pour les  
commandes de reproduction)

(21) N° d'enregistrement national :

98 13135

(51) Int Cl<sup>7</sup> : H 01 L 21/263, H 01 L 21/71

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 20.10.98.

(30) Priorité :

(43) Date de mise à la disposition du public de la  
demande : 21.04.00 Bulletin 00/16.

(56) Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

(60) Références à d'autres documents nationaux  
apparentés :

(71) Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-  
MIQUE Etablissement de caractère scientifique techni-  
que et industriel — FR.

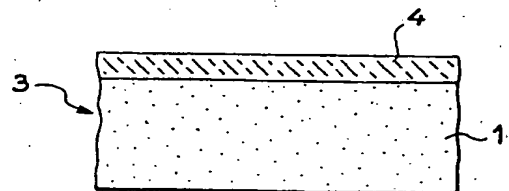
(72) Inventeur(s) : JOLY JEAN PIERRE, BRUEL MICHEL  
et JAUSSAUD CLAUDE.

(73) Titulaire(s) :

(74) Mandataire(s) : BREVATOME.

(54) STRUCTURE COMPORTANT UNE COUCHE SEMICONDUCTEUR ET/OU DES ELEMENTS ELECTRONIQUES  
SUR UN SUPPORT ISOLANT ET SON PROCEDE DE FABRICATION.

(57) L'invention concerne une structure (3) comportant une  
couche semiconductrice (4) sur un support (1) électrique-  
ment isolant. Le support (1) est constitué à partir de maté-  
riau semiconducteur rendu électriquement isolant suite à  
une irradiation par des particules.



FR 2 784 794 - A1



STRUCTURE COMPORTANT UNE COUCHE SEMICONDUCTRICE ET/OU  
DES ELEMENTS ELECTRONIQUES SUR UN SUPPORT ISOLANT ET  
SON PROCEDE DE FABRICATION

5

Domaine technique

La présente invention concerne une  
structure comportant une couche semiconductrice et/ou  
10 des éléments électroniques sur un support isolant et  
son procédé de fabrication.

Etat de la technique antérieure

15 Le besoin d'intégration dans un même  
circuit intégré de fonction logiques, analogiques, de  
composants passifs et actifs radiofréquences, impose de  
porter une attention particulière aux pertes  
électriques liées à la nature du support sur lequel  
20 sont réalisés les circuits. Il est en particulier  
important que, à l'exception des zones de la couche  
superficielle de la structure où sont réalisés les  
dispositifs électroniques et des éléments  
électroniques, le reste de la structure soit hautement  
25 résistif ou isolant électrique. De plus, il est  
important d'éviter l'auto-échauffement des dispositifs  
électroniques et, plus généralement, l'élévation de  
température de cette couche superficielle. Pour cela,  
il est important d'éviter la présence sous cette couche  
30 superficielle d'un matériau qui soit mauvais conducteur  
thermique ou isolant thermique.

Les dispositifs électroniques en arséniure  
de gallium (AsGa) peuvent être réalisés sur des  
Structures constitués d'une plaquette d'AsGa dit  
35 semi-isolant, servant de support, recouverte d'une

couche épitaxiée d'AsGa apte à y réaliser les dispositifs désirés. L'utilisation d'une plaquette d'AsGa comme support présente plusieurs inconvénients qui sont : leur coût élevé, leur limitation de taille (diamètre de 150 mm au maximum), leur mauvaise adaptation à la réalisation de circuits intégrés complexes et leur mauvaise conductibilité thermique.

Le silicium présente une conductibilité thermique qui peut être considérée comme satisfaisante. Cependant, pour rendre le silicium électriquement isolant, il faudrait pouvoir l'élaborer avec une pureté extrême, ce qui est souvent difficile. Le procédé de fabrication par fusion de zone permet d'obtenir du silicium présentant une isolation électrique satisfaisante. Cependant, ce procédé est coûteux à mettre en oeuvre et il ne peut fournir de plaquettes de grande dimension (c'est-à-dire de diamètre supérieur à 150 mm).

Il est connu par ailleurs que la résistivité d'un matériau semiconducteur augmente lorsque ce matériau a été soumis à un flux de particules énergétiques. On peut se reporter à ce sujet aux articles suivants :

- "Neutron Transmutation Doping" de H. HERZER, paru dans Proceedings of the Third International Symposium on Silicon Materials Science and Technology. Semiconductor Silicon 1977, édité par H.R. HUFF et E. SIRTIL, The Electrochemical Society Inc., P.O. Box 2071, Princeton, N.J. 08540, Vol. 77-2, pages 106-115.

- "The Effect of Fast Neutron Bombardment on the Electrical Properties of p-and n-Type Silicon Carbide" de P. NAGELS et M. DENAYER, 7th International Conference on the Physics of Semiconductors. Radiation

Damage in Semiconductors, Paris-Royaumont, France, 1964, édité par Dunod, Paris, 1965, pages 225-233.

L'augmentation de la résistivité des matériaux semiconducteurs soumis à un flux de particules résulte de la création de défauts (déplacements atomiques) qui se traduisent par des niveaux profonds (pièges) dans la bande interdite de semiconducteur. Lorsque la densité de ces centres est plus élevée que la densité de dopants (niveaux peu profonds), le niveau de Fermi se retrouve figé à une valeur proche de celle des niveaux profonds résultant de l'irradiation et rendant ainsi le matériau isolant.

Ce phénomène d'augmentation de la résistivité des matériaux semiconducteurs soumis à irradiation a été étudié pour la raison qu'il est gênant pour la tenue des composants aux radiations. Les défauts créés perturbent en effet notablement les caractéristiques de ces composants (résistivités, piégeage des porteurs, dégradation de la mobilité des porteurs).

#### Exposé de l'invention

Afin de résoudre les problèmes liés aux structures de l'art antérieur formés d'une couche semiconductrice ou d'éléments électroniques tels que des puces sur un support isolant, les inventeurs de la présente invention ont eu l'idée d'utiliser le phénomène d'augmentation de la résistivité des matériaux semiconducteurs soumis à irradiation pour obtenir des supports satisfaisants. Ils ont donc mis à profit un phénomène considéré jusqu'à présent comme un inconvénient.

Il est à noter que les défauts ainsi créés dans le silicium, et plus encore dans le carbure de

silicium, sont très stables en température, ce qui permet de garder le caractère isolant même après recuit. De plus, en raison de sa large bande interdite et de la profondeur des niveaux de pièges créés, le  
5 carbure de silicium devenu isolant peut le rester jusqu'à des températures élevées de fonctionnement des dispositifs élaborés dans la couche semiconductrice superficielle (par exemple 200 à 300°C, voire plus) ou plus généralement des dispositifs électroniques.

10 La présente invention permet ainsi de fournir des structures comportant une couche semiconductrice et/ou des éléments électroniques reposant sur un support qui est à la fois électriquement isolant et bon conducteur thermique.

15 On entend par éléments électroniques tous les éléments actifs et/ou passifs éventuellement regroupés sous forme de puces et rapportés par exemple par les techniques de "Flip Chip" sur un support isolant.

20 Un autre avantage de la présente invention est que le support et la couche semiconductrice superficielle pouvant être réalisés à partir du même matériau de base, il ne se pose pas de problème dû à des différences de coefficient de dilatation thermique  
25 entre ces parties de Structure.

L'invention a donc pour objet un procédé de fabrication d'une structure comportant une couche semiconductrice et/ou des éléments électroniques sur un support électriquement isolant, caractérisé en ce qu'il  
30 comprend une étape d'irradiation d'une plaquette de matériau semiconducteur par des particules susceptibles de rendre électriquement isolant ce matériau semiconducteur par création de défauts, ladite plaquette irradiée procurant ainsi le support  
35 électriquement isolant.

L'étape d'irradiation peut être mise en oeuvre sur une plaquette de matériau semiconducteur possédant une conductibilité thermique considérée comme satisfaisante.

5 Le matériau semiconducteur de la plaquette peut être soumis à une irradiation de neutrons, d'électrons, d'ions, de particules  $\alpha$ , etc... L'énergie de ces particules est choisie de façon que l'ensemble du volume de la plaquette, ou une proportion  
10 significative de celui-ci, soit irradié. La dose d'irradiation est choisie de façon que la résistivité finale du support soit suffisamment élevée pour l'application désirée.

Le procédé peut comporter une étape  
15 d'épitaxie de matériau semiconducteur sur la plaquette irradiée en vue d'élaborer ladite couche semiconductrice. Dans ce cas, le budget thermique de l'épitaxie est choisi de façon à être faible devant le budget thermique nécessaire pour altérer l'état de  
20 forte résistivité de la plaquette irradiée.

Le procédé peut comporter une étape de traitement thermique d'une couche superficielle de la plaquette irradiée, de manière à recuire les défauts qui y ont été créés par ladite irradiation, en vue  
25 d'élaborer ladite couche semiconductrice, le reste de la plaquette irradiée n'étant pas soumis à ce traitement thermique et formant ainsi le support électriquement isolant. Le traitement thermique est donc réalisé de façon adiabatique. Pour l'obtenir, on  
30 peut employer un faisceau laser du type argon ionisé émettant une puissance lumineuse de 10 watts, focalisé à la surface de la plaquette sous la forme d'une tache lumineuse de 100  $\mu\text{m}$  de diamètre, balayé sur la surface de la plaquette selon une direction donnée au moyen  
35 d'un miroir oscillant à la vitesse de 50 cm/s. Le

traitement complet de la surface peut être assuré par un déplacement mécanique dans la direction perpendiculaire à la direction de balayage et selon une vitesse de l'ordre de 1 cm/s.

5                   La couche semiconductrice peut être une couche rapportée sur la plaquette irradiée. Elle peut être obtenue à partir d'une plaquette complémentaire de matériau semiconducteur collée sur la plaquette irradiée, ladite plaquette complémentaire étant amincie  
10 pour fournir ladite couche rapportée. Elle peut aussi être obtenue à partir d'une plaquette complémentaire de matériau semiconducteur dans laquelle la couche semiconductrice a été définie par une couche de microcavités générées par implantation ionique, la  
15 plaquette complémentaire étant collée sur la plaquette irradiée puis clivée au niveau de la couche de microcavités pour ne conserver que la couche semiconductrice sur la plaquette irradiée. De préférence, le clivage de la plaquette complémentaire  
20 est obtenu par la coalescence des microcavités résultant d'un traitement thermique. La couche rapportée peut également être obtenue à partir d'une plaquette complémentaire de matériau semiconducteur dans laquelle a été définie une couche intermédiaire  
25 permettant de séparer la couche semiconductrice du reste de la plaquette complémentaire, cette couche intermédiaire étant attaquable sélectivement par rapport à ladite couche semiconductrice et au reste de la plaquette complémentaire ou apte à être arrachée  
30 mécaniquement du reste de la plaquette complémentaire après que celle-ci ait été collée sur la plaquette irradiée. Cette couche intermédiaire est obtenue par exemple par attaque anodique d'une plaquette initiale destinée à constituer la plaquette complémentaire,  
35 cette attaque anodique produisant une couche poreuse

formant la couche intermédiaire, la couche semiconductrice étant constituée par épitaxie réalisée sur la couche intermédiaire. Avantageusement, le collage de ladite plaquette complémentaire sur ladite  
5 plaquette irradiée est obtenu par adhésion moléculaire. Le procédé peut comprendre aussi l'interposition d'une couche intermédiaire entre la plaquette irradiée et la plaquette complémentaire afin d'améliorer le collage.

Lorsque la couche semiconductrice est une  
10 couche rapportée sur la plaquette irradiée, elle peut avoir été au préalable au moins partiellement traitée pour y élaborer au moins un composant électronique.

Le procédé peut comprendre le report d'au moins un élément électronique sur la plaquette  
15 irradiée.

L'invention a aussi pour objet une structure comportant une couche semiconductrice et/ou des éléments électroniques sur un support électriquement isolant, caractérisé en ce que le  
20 support isolant comporte un matériau semiconducteur dont la résistivité a été augmentée par irradiation au moyen de particules. Le matériau semiconducteur du support isolant peut être choisi pour posséder une conductibilité thermique considérée comme  
25 satisfaisante.

La couche semiconductrice peut être une couche épitaxiée sur le support électriquement isolant. Elle peut aussi être une couche rapportée sur le support électriquement isolant. Dans ce cas, elle peut  
30 comporter au moins un composant électronique réalisé totalement ou partiellement. Le Structure peut comprendre en outre une couche intermédiaire entre le support électriquement isolant et la couche semiconductrice. La couche semiconductrice peut être en  
35 un matériau choisi parmi le silicium, l'arséniure de



gallium, le carbure de silicium et le phosphore d'indium. La structure peut aussi comprendre au moins un élément électronique reporté sur le support isolant. Le support électriquement isolant peut être en un  
5 matériau choisi parmi le silicium et le carbure de silicium.

#### Brève description des dessins

10 L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

15 - la figure 1 représente, en vue transversale, une plaquette de matériau semiconducteur au cours de l'étape d'irradiation du procédé selon l'invention,

20 - la figure 2 représente, en vue transversale, une structure comportant une couche semiconductrice sur un support électriquement isolant selon la présente invention,

- la figure 3 illustre un mode de mise en oeuvre de la présente invention,

25 - la figure 4 représente, en vue transversale, la structure obtenue après avoir mis en oeuvre le procédé illustré par la figure 3,

30 - la figure 5 illustre un mode de mise en oeuvre de la présente invention pour lequel des composants électroniques ont été réalisés dans la couche semiconductrice avant son report sur le support irradié,

35 - la figure 6 représente, en vue transversale, la structure obtenue après avoir mis en oeuvre le procédé illustré par la figure 5,

- la figure 7 représente, en vue transversale, une structure selon l'invention comportant des éléments électroniques sur un support électriquement isolant.

5

#### Description détaillée de modes de réalisation de l'invention

Pour réaliser le support électriquement isolant et pour certaines applications de conductibilité thermique satisfaisante, on peut partir d'une plaquette de matériau semiconducteur classique, disponible selon les tailles et la qualité voulues et de résistivité usuelle. A titre d'exemple, on peut citer le silicium qui possède une conductibilité thermique de 1,5 W/cm.K, le carbure de silicium soit monocristallin soit polycristallin possédant une conductibilité thermique de 4,5 et 3 W/cm.K respectivement.

Pour rendre la plaquette isolante électriquement on l'irradie avec un flux de particules de façon à créer des défauts dans le réseau cristallin. C'est ce que représente la figure 1 qui montre une plaquette de matériau semiconducteur 1 soumise à une irradiation de particules représentée par les flèches 2. Les défauts cristallins créés ont pour effet d'augmenter très fortement la résistivité électrique du matériau semiconducteur.

L'irradiation est de préférence réalisée au moyen d'un flux de neutrons comportant une proportion élevée de neutrons énergétiques qui sont efficaces pour la création des défauts voulus. On entend par neutrons énergétiques ceux qui vont des neutrons épithermiques jusqu'aux neutrons rapides, soit une gamme d'énergie allant de quelques eV à quelques MeV, par opposition

aux neutrons thermiques (de quelques meV à quelques eV) qui sont moins efficaces pour la création de défauts et qui génèrent des transmutations. Selon l'invention, l'irradiation est faite dans des conditions très différentes de celles utilisées dans la technique dite de "neutron transmutation doping" où l'on favorise le rapport inverse puisque l'on cherche à éviter la création de défauts et à maximaliser les transmutations pour, par exemple, transformer l'isotope 30 du silicium en phosphore. L'irradiation peut être réalisée dans un réacteur nucléaire, de type piscine par exemple, ou au moyen d'un générateur de neutrons utilisant les réactions nucléaires d'un faisceau de particules chargées avec une cible. On peut utiliser dans ce cas un faisceau d'ions deutérium bombardant une cible tritiée.

L'irradiation de la plaquette semi-conductrice avec un flux intégré suffisant de neutrons énergétiques, de l'ordre de  $2 \cdot 10^{15}$  à  $5 \cdot 10^{16}$  neutrons/cm<sup>2</sup>, crée suffisamment de défauts pour qu'il soit très difficile de les recuire au cours des traitements thermiques postérieurs que le Structure peut subir au cours de son utilisation. On peut noter que l'irradiation peut aussi être réalisée sur le lingot, la découpe du lingot et son conditionnement sous forme de plaquettes étant réalisés par la suite.

Une dose de neutrons énergétiques de  $10^{17}$  neutrons/cm<sup>2</sup> permet d'obtenir une résistivité supérieure à  $10^4 \Omega \cdot \text{cm}$  dans le carbure de silicium quelle que soit la résistivité de départ. Pour le silicium, une dose de  $10^{15}$  neutrons/cm<sup>2</sup> permet d'obtenir une résistivité supérieure à  $10^5 \Omega \cdot \text{cm}$ , ce qui permet d'utiliser comme matériau semiconducteur du silicium obtenu par la méthode de Czochralski.

Après irradiation, l'ensemble de la plaquette est dans un état de forte résistivité et, telle quelle, est impropre à la réalisation de dispositifs électroniques.

5 Si la plaquette de matériau semiconducteur irradiée est par exemple en carbure de silicium, la couche semiconductrice destinée à l'élaboration de composants électroniques peut être formée sur la plaquette irradiée par épitaxie. On obtient la  
10 structure 3, représentée à la figure 2, constitué d'un support isolant 1 auquel adhère la couche semiconductrice 4.

La couche semiconductrice peut être rendue adhérente au support isolant par collage. Ce mode de  
15 mise en oeuvre est illustré par la figure 3 qui montre la mise en contact adhérent du support isolant 1 (par exemple en silicium ou en SiC) avec une plaquette semiconductrice 10 (par exemple en Si, AsGa, SiC) destinée à fournir la couche semiconductrice. La mise  
20 en contact adhérent peut se faire au moyen d'une substance adhésive. Elle peut également se faire par la technique d'adhésion moléculaire. Dans ce cas, on peut utiliser une couche intermédiaire 11 pour assurer une meilleure qualité du collage et/ou de meilleures  
25 propriétés d'interface entre le support isolant et la couche semiconductrice superficielle du futur Structure.

L'épaisseur de la couche semiconductrice de la structure doit être une fraction de l'épaisseur de  
30 la plaquette semiconductrice 10. Sur la figure 3, la future couche semiconductrice est délimitée par la ligne en traits interrompus 12.

Une fois le collage réalisé, la partie non désirée de la plaquette semiconductrice 10 est  
35 éliminée. Différentes méthodes peuvent être utilisées

pour parvenir à ce résultat. On peut utiliser la rectification, l'attaque chimique, le polissage. On peut aussi utiliser le procédé de clivage divulgué par le document FR-A-2 681 472 et qui présente l'avantage de conserver la partie non désirée de la plaquette 10 sous une forme réutilisable. Ce procédé implique que la plaquette 10 a subi au préalable une implantation ionique qui a permis de générer une couche de microcavités le long de la ligne 12. Une fois le collage des plaquettes 1 et 10 réalisé, le clivage est obtenu par un traitement thermique approprié.

Une fois éliminée la partie non désirée de la plaquette 10 on obtient la structure représentée à la figure 4, c'est-à-dire une structure 13 formée d'un support isolant 1, d'une couche intermédiaire 11 et d'une couche semiconductrice superficielle 14. Cette structure peut par exemple comprendre un support 1 en silicium rendu électriquement isolant supportant une couche 11 d'oxyde de silicium qui supporte elle-même une couche superficielle 14 de silicium apte à l'élaboration de composants électroniques. Un polissage final permet éventuellement de parfaire l'état de surface de la couche superficielle 14.

Le collage peut permettre la mise en place sur le support isolant d'une couche semiconductrice dans laquelle on a réalisé, partiellement ou complètement, des composants électroniques. C'est ce que représente la figure 5 qui montre la mise en contact adhérent du support isolant 1 avec une plaquette semiconductrice 20 par l'intermédiaire d'une couche intermédiaire 11 de collage. La référence 21 représente des composants électroniques qui ont été réalisés à partir de la face 22 de la plaquette semiconductrice 20. La future couche semiconductrice de

la structure est délimitée par la ligne en traits interrompus 23.

Une fois le collage réalisé, la partie non désirée de la plaquette semiconductrice 20 est éliminée, par exemple par l'une des méthodes mentionnées plus haut. On obtient alors la structure représentée à la figure 6, c'est-à-dire une structure 24 formée d'un support isolant 1, d'une couche intermédiaire 11 et d'une couche semiconductrice superficielle 25 contenant des composants électroniques 21.

La figure 7 représente une structure 30 selon l'invention comportant cette fois le support isolant 1 sur une face duquel ont été reportés directement des éléments électroniques 31, par exemple des puces électroniques

## REVENDICATIONS

1. Procédé de fabrication d'une structure (3,13,24,30) comportant une couche semiconductrice (4,14,25) et/ou au moins un élément électronique (21,31) sur un support électriquement isolant (1), caractérisé en ce qu'il comprend une étape d'irradiation d'une plaquette de matériau semiconducteur par des particules susceptibles de rendre électriquement isolant ce matériau semiconducteur par création de défauts, ladite plaquette irradiée procurant ainsi le support électriquement isolant (1).

2. Procédé selon la revendication 1, caractérisé en ce que l'étape d'irradiation est mise en oeuvre sur une plaquette de matériau semiconducteur possédant une conductibilité thermique considérée comme satisfaisante.

3. Procédé selon l'une des revendications 1 ou 2, caractérisé en ce que les particules de l'étape d'irradiation sont choisies parmi un ou plusieurs types de particules parmi les neutrons, les électrons, les ions, les particules  $\alpha$ .

4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'il comporte une étape d'épitaxie de matériau semiconducteur sur la plaquette irradiée (1) en vue d'élaborer ladite couche semiconductrice (4).

5. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'il comporte une étape de traitement thermique d'une couche superficielle de la plaquette irradiée, de manière à recuire les défauts qui y ont été créés par ladite irradiation, en vue d'élaborer ladite couche semiconductrice, le reste de la plaquette irradiée

n'étant pas soumis à ce traitement thermique et formant ainsi le support électriquement isolant.

5 6. Procédé selon la revendication 5, caractérisé en ce que l'étape de traitement thermique est réalisée au moyen d'un faisceau laser.

7. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que la couche semiconductrice (14,25) est une couche rapportée sur la plaquette irradiée.

10 8. Procédé selon la revendication 7, caractérisé en ce que la couche semiconductrice (14,25) est obtenue à partir d'une plaquette complémentaire de matériau semiconducteur (10,20) collée sur la plaquette irradiée (1), ladite plaquette complémentaire étant  
15 amincie pour fournir ladite couche rapportée.

9. Procédé selon la revendication 7, caractérisé en ce que la couche semiconductrice (14,25) est obtenue à partir d'une plaquette complémentaire de matériau semiconducteur (10,20) dans laquelle la couche  
20 semiconductrice a été définie par une couche de microcavités générées par implantation ionique, la plaquette complémentaire étant collée sur la plaquette irradiée (1) puis clivée au niveau de la couche de microcavités pour ne conserver que la couche  
25 semiconductrice sur la plaquette irradiée.

10. Procédé selon la revendication 9, caractérisé en ce que le clivage de la plaquette complémentaire (10,20) est obtenu par la coalescence des microcavités résultant d'un traitement thermique.

30 11. Procédé selon la revendication 7, caractérisé en ce que la couche semiconductrice est obtenue à partir d'une plaquette complémentaire de matériau semiconducteur dans laquelle a été définie une couche intermédiaire permettant de séparer la couche  
35 semiconductrice du reste de la plaquette



complémentaire, cette couche intermédiaire étant  
attaquable sélectivement par rapport à ladite couche  
semiconductrice et au reste de la plaquette  
complémentaire ou étant apte à être arrachée  
5 mécaniquement du reste de la plaquette complémentaire  
après que celle-ci ait été collée sur la plaquette  
irradiée.

12. Procédé selon la revendication 11,  
caractérisé en ce que la couche intermédiaire est  
10 obtenue par attaque anodique d'une plaquette initiale  
destinée à constituer la plaquette complémentaire,  
cette attaque anodique produisant une couche poreuse  
formant ladite couche intermédiaire, ladite couche  
semiconductrice étant constituée par épitaxie réalisée  
15 sur la couche intermédiaire.

13. Procédé selon l'une quelconque des  
revendications 8 à 12, caractérisé en ce que le collage  
de ladite plaquette complémentaire (10,20) sur ladite  
plaquette irradiée est obtenu par adhésion moléculaire.

20 14. Procédé selon la revendication 13,  
caractérisé en ce qu'il comprend l'interposition d'une  
couche intermédiaire (11) entre la plaquette irradiée  
(1) et la plaquette complémentaire (10,20) afin  
d'améliorer le collage.

25 15. Procédé selon l'une quelconque des  
revendications 7 à 14, caractérisé en ce que la couche  
semiconductrice a été, avant d'être rapportée sur la  
plaquette irradiée, au moins partiellement traitée pour  
y élaborer au moins un composant électronique (21).

30 16. Procédé selon l'une quelconque des  
revendications 1 à 3, caractérisé en ce qu'il comprend  
le report d'au moins un élément électronique (31) sur  
la plaquette irradiée (1).

17. Structure (3,13,24,30) comportant une couche semiconductrice (4,14,25) et/ou au moins un élément électronique (21,31) sur un support électriquement isolant (1), caractérisée en ce que le support isolant (1) comporte un matériau semiconducteur dont la résistivité a été augmentée par irradiation au moyen de particules.

18. Structure selon la revendication 17, caractérisée en ce que le matériau semiconducteur du support isolant possède une conductibilité thermique considérée comme satisfaisante.

19. Structure selon l'une des revendications 17 ou 18, caractérisée en ce que la couche semiconductrice (4) est une couche épitaxiée sur le support électriquement isolant (1).

20. Structure selon l'une des revendications 17 ou 18, caractérisée en ce que la couche semiconductrice (14, 25) est une couche rapportée sur le support électriquement isolant (1).

21. Structure selon la revendication 20, caractérisée en ce que la couche semiconductrice (25) est une couche rapportée comportant au moins un composant électronique (21) réalisé totalement ou partiellement.

22. Structure selon l'une des revendications 20 ou 21, caractérisée en ce qu'elle comprend en outre une couche intermédiaire (11) entre le support électriquement isolant (1) et la couche semiconductrice (14, 25).

23. Structure selon l'une quelconque des revendications 13 à 17, caractérisée en ce que la couche semiconductrice (4, 14, 25) est en un matériau choisi parmi le silicium, l'arséniure de gallium, le carbure de silicium et le phosphure d'indium.

24. Structure selon l'une des revendications 17 ou 18, caractérisée en ce qu'elle comprend au moins un élément électronique (31) reporté sur le support isolant (1).

5 25. Structure selon l'une quelconque des revendications 17 à 24, caractérisée en ce que le support électriquement isolant (1) est en un matériau choisi parmi le silicium et le carbure de silicium.

1 / 3

FIG. 1

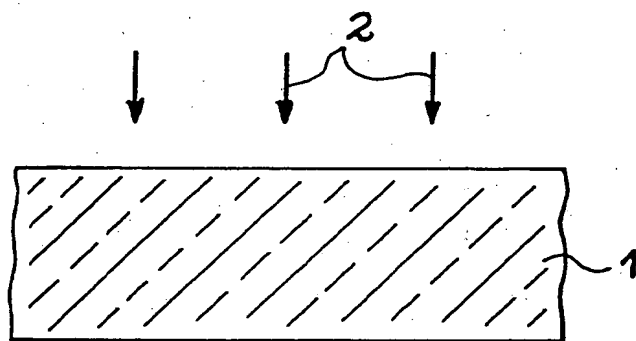


FIG. 2

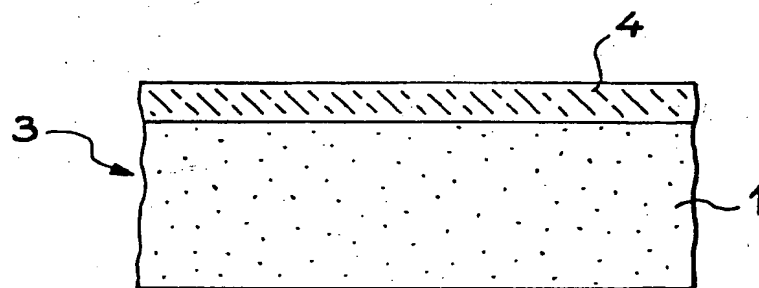
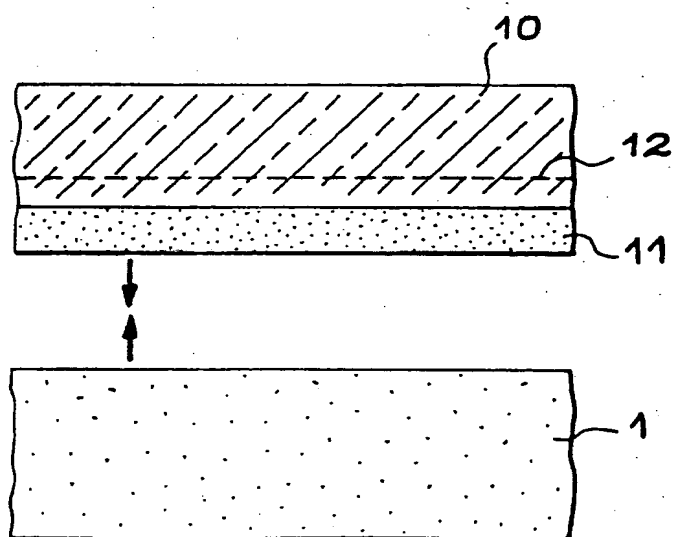


FIG. 3



2 / 3

FIG. 4

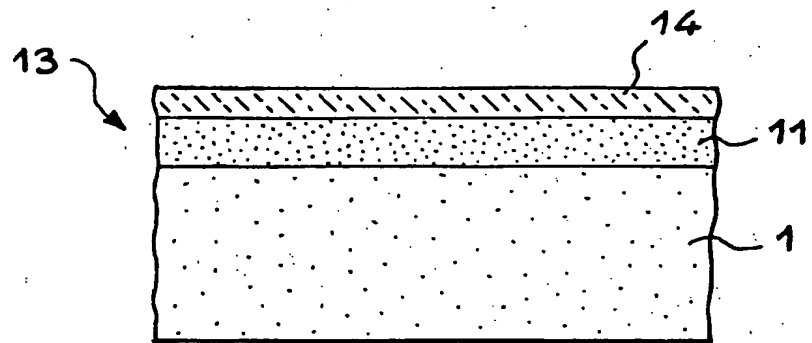


FIG. 5

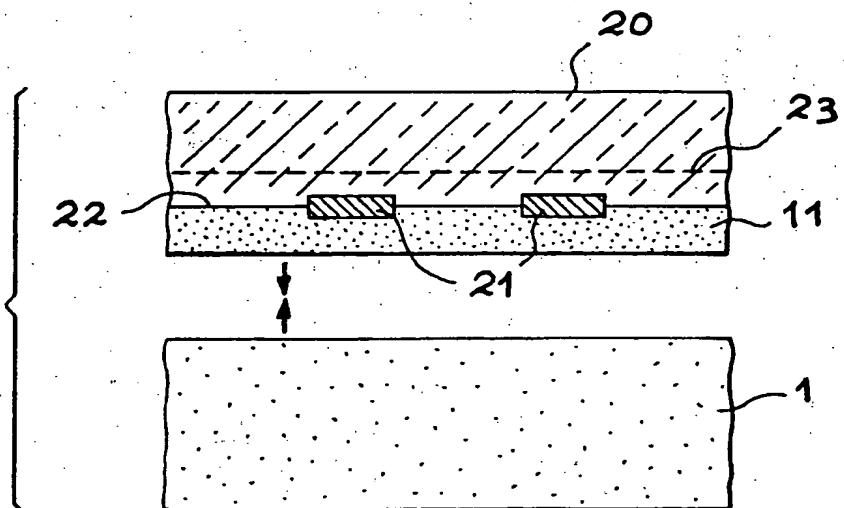
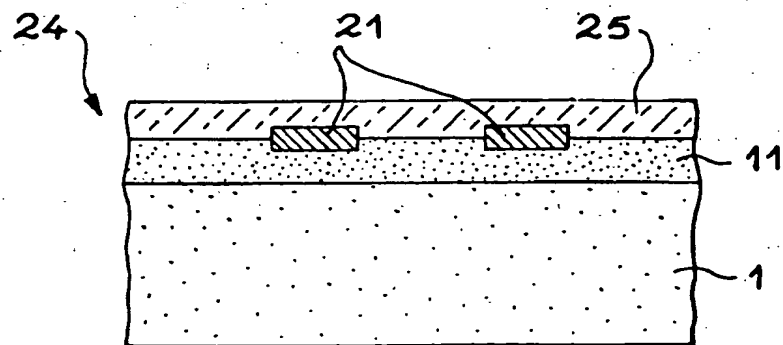


FIG. 6



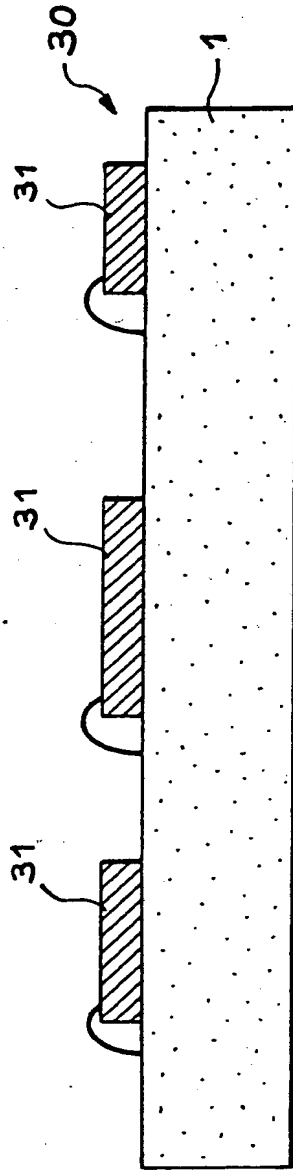


FIG. 7

INSTITUT NATIONAL  
de la  
PROPRIÉTÉ INDUSTRIELLE

RAPPORT DE RECHERCHE  
PRELIMINAIRE

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 565400  
FR 9813135

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US 4 469 527 A (SUGANO TAKUO ET AL) 4 septembre 1984	1-6, 17-19, 23
Y	* colonne 2, ligne 39 - colonne 3, ligne 13 *  * colonne 5, ligne 40 - colonne 6, ligne 46 *	7-16, 20-22, 24, 25
Y	DI CIOCCIO L ET AL: "Silicon carbide on insulator formation by the Smart-Cut(R) process" MATERIALS SCIENCE AND ENGINEERING B, vol. 46, no. 1-3, 1 avril 1997, page 349-356 XP004085343 * alinéa 3 *	7-10, 20, 22
Y	PATENT ABSTRACTS OF JAPAN vol. 096, no. 003, 29 mars 1996 & JP 07 302889 A (CANON INC), 14 novembre 1995 * abrégé * -& US 5 856 229 A * figure 1 *	11-14
Y	EP 0 807 970 A (COMMISSARIAT ENERGIE ATOMIQUE) 19 novembre 1997 * colonne 8, ligne 10 - ligne 13; figure 3 *	15, 21
Y	"IMPROVED PACKAGING FOR VLSIC" NTIS TECH NOTES, 1 août 1990, pages 645, 1-02, XP000162714 * figure *	16, 24, 25
Date d'achèvement de la recherche		Examineur
5 juillet 1999		Gélébart, J
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons &amp; : membre de la même famille, document correspondant</p>		

**THIS PAGE BLANK (USPTO)**